



CFO 14029 us/
09/444, 675/no

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されて
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed
with this Office.

出 願 年 月 日
Date of Application:

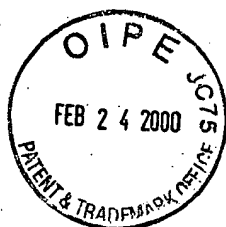
1998年11月24日

出 願 番 号
Application Number:

平成10年特許願第333126号

出 願 人
Applicant (s):

キヤノン株式会社

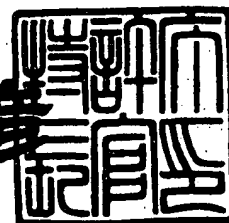


CERTIFIED COPY OF
PRIORITY DOCUMENT

1999年12月17日

特許庁長官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3088563

【書類名】 特許願

【整理番号】 3647035

【提出日】 平成10年11月24日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 5/30

【発明の名称】 撮像装置

【請求項の数】 7

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 小泉 徹

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 光地 哲伸

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 樋山 拓己

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 櫻井 克仁

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

 【氏名】 小川 勝久

【発明者】

 【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会

社内

【氏名】 上野 勇武

【発明者】

【住所又は居所】 東京都大田区下丸子3丁目30番2号 キヤノン株式会社
社内

【氏名】 須川 成利

【特許出願人】

【識別番号】 000001007

【氏名又は名称】 キヤノン株式会社

【代表者】 御手洗 富士夫

【代理人】

【識別番号】 100065385

【弁理士】

【氏名又は名称】 山下 穰平

【電話番号】 03-3431-1831

【手数料の表示】

【予納台帳番号】 010700

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 撮像装置

【特許請求の範囲】

【請求項 1】 受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、該センサブロックから出力された信号を処理するための信号処理ブロックとを有する撮像装置において、

前記センサブロックで使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルが前記信号処理ブロックの電源電圧より高いことを特徴とする撮像装置。

【請求項 2】 請求項 1 に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタのゲート絶縁膜厚が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタのゲート絶縁膜厚より厚いことを特徴とする撮像装置。

【請求項 3】 請求項 1 に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタのウェル濃度が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタのウェル濃度より薄いことを特徴とする撮像装置。

【請求項 4】 請求項 1 に記載の撮像装置において、前記センサブロックの少なくとも一部の絶縁ゲート型トランジスタの閾値電圧が前記信号処理ブロックに用いられている絶縁ゲート型トランジスタの閾値電圧より高いことを特徴とする撮像装置。

【請求項 5】 請求項 1 ～請求項 4 のいずれかの請求項に記載の撮像装置において、前記受光素子が埋め込み型フォトダイオードであることを特徴とする撮像装置。

【請求項 6】 請求項 5 に記載の撮像装置において、前記画素は電荷電圧変換部を有し、転送スイッチを介して前記埋め込み型フォトダイオードに接続されることを特徴とする撮像装置。

【請求項 7】 請求項 1 ～請求項 6 のいずれかの請求項に記載の撮像装置に

において、前記センサブロック内、もしくは前記センサブロックと前記信号処理ブロックとの間、もしくは前記信号処理ブロック内にレベルシフト手段を有することを特徴とする撮像装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は撮像装置に係わり、特に受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、該センサブロックから出力された信号を処理するための信号処理ブロックとを有する撮像装置に関する。なお画素部がCMOS製造プロセスで形成されるセンサはCMOSセンサと呼ばれ、本発明はかかるCMOSセンサを用いた撮像装置に好適に用いられる。

【0002】

【従来の技術】

近年、デジタルカメラなどの要求から、ダイナミックレンジが広く、S/N比が高く、消費電力の低い撮像装置が要求されている。

【0003】

【発明が解決しようとする課題】

画素部と画素を選択するための走査部を有するセンサブロックと、このセンサブロックから出力された信号を処理するための信号処理ブロックとを有する撮像装置において、従来は、単一電源が利用され、信号処理ブロックが重視される場合は、この信号処理ブロックに合わせてセンサブロックの電源電圧を下げており、この結果、ダイナミックレンジを犠牲にすることになる。

【0004】

一方、CCD等に用いられる埋め込み型のフォトダイオードは、S/N比の高い信号を得ることが可能であるが、一般に電源電圧が高く、信号処理ブロックのクロックノイズの増大を引き起こす。また、電源電圧が高くなると信号処理ブロックの各MOSトランジスタ（絶縁ゲート型トランジスタ）にかかる電界が高くなり、インバクトイオン化現象が生じやすくなり、この現象によるノイズ電荷が

センサブロックにまでおよび、特に画素部を埋め込み型のフォトダイオードとした場合は、電源電圧が高いのでこのノイズが生じやすい。

【0005】

また、信号処理ブロック対してもセンサブロックと等しい電源電圧を用いた場合、高い電源電圧を信号処理ブロックに利用することで、消費電力を高くする要因となる。

【0006】

【課題を解決するための手段】

本発明の撮像装置は、受光素子を画素毎に有する複数の画素からなる画素部、該画素部の画素を選択するための走査部を有するセンサブロックと、該センサブロックから出力された信号を処理するための信号処理ブロックとを有する撮像装置において、前記センサブロックで使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルが前記信号処理ブロックの電源電圧より高いことを特徴とする。

【0007】

なお、本願において、ハイレベルはクロック信号の高電圧、振幅はクロック信号のハイレベルとロウレベル（クロック信号の低電圧）との差をいう。

【0008】

【実施例】

以下、本発明の実施例について図面を用いて詳細に説明する。

（第1実施例）

図1は本発明の撮像装置の第1実施例の概略的な構成を示すブロック図である。同図に示すように、本実施例の撮像装置はセンサブロック1と信号処理ブロック2とを有する。センサブロック1は、画素部1a、画素部1aを垂直方向に走査する垂直走査部1b、画素部1aを水平方向に走査する水平走査部1cから構成されている。また、信号処理ブロック2は、アンプ部2a、A/D（アナログ／デジタル）変換回路2b、A/D変換回路2bからの信号を信号処理する信号処理部2cから構成されている。

【0009】

図2は、画素部の一面素の構成を示す概略的構成図である。また図10は画素部の一面素の他の構成を示す概略的構成図である。図2において、PDは埋め込み型フォトダイオード、TXは埋め込み型フォトダイオードPDからの信号電荷を転送する転送用MOSトランジスタ、FDは転送された信号電荷が保持されるフローティングディフュージョン（電荷電圧変換部となる。）、SFはFDとゲートが接続される増幅用MOSトランジスタ、SELは選択用MOSトランジスタ、RESはFDおよび増幅用MOSトランジスタSFをリセットするリセット用MOSトランジスタである。選択用MOSトランジスタSELは定電流源を構成するMOSトランジスタMとの間でソースフォロア回路を構成する。図10は選択用MOSトランジスタSELと増幅用MOSトランジスタSFとの配置を変えた場合の構成例を示している。

【0010】

画素部の受光素子として、埋め込み型フォトダイオードを用いた場合には、埋め込み型フォトダイオードを空乏化させて、蓄積された電荷を画素内のFD（フローティングディフュージョン）に転送させるために、画素内のFDを空乏化電圧以上に設定することが求められ、この結果、電源電圧が5V（ボルト）もしくはそれ以上にする必要がある。

【0011】

ここでは、センサブロック1の電源電圧を5V、信号処理ブロック2の電源電圧を4Vとした。

【0012】

以下、埋め込み型フォトダイオードについて図3を用いて説明する。

【0013】

図3に示すように、埋め込み型フォトダイオードは、pウェル11にn型領域12が形成され、n型領域12の基板面には p^+ 型領域14が形成されて構成される。

【0014】

n型領域12に蓄積された電荷はゲート電極15に電圧が印加されると、フローティングディフュージョン領域（ n^+ 型領域）13に転送可能となる。埋め込

み型フォトダイオードは、 p^+ 型領域 14 と n 型領域 12 との接合部および p ウエル 11 と n 型領域 12 との接合部に逆バイアスがかかると、 n 型領域 12 において、 p^+ 型領域 14 と n 型領域 12 との接合部から空乏層（図中点線部分）が広がり、 p ウエル 11 と n 型領域 12 との接合部から空乏層（図中点線部分）が広がり、上下のから広がった空乏層どうしが接するようになり、そのときの空乏化電圧（ V_{dep} ）よりもフローティングディフュージョン領域 13 の電圧（ V_{FD} ）を高くすることで（ $V_{FD} > V_{dep}$ ）、 n 型領域 12 に蓄積された電荷をすべてフローティングディフュージョン領域（ n^+ 型領域）13 に転送することができる。

【0015】

なお、センサブロックの電源電圧を 5 V にし、信号処理ブロックの電源電圧を 5 V から 4 V に下げた場合、クロックノイズはその振幅に比例することから $4/5$ になる。また、デジタル回路の消費電力は、 $1/2 \cdot f \cdot C \cdot V^2$ で表されることから、電源電圧が $4/5$ になることで、消費電力は 64 % まで減少する。一方、アンプに代表されるアナログ回路の消費電力は、 $I \cdot V$ で表され、形式を変えない限り貫通電流 I は変化しないので、消費電力は電源電圧の低下分に対応して $4/5$ に減少する。

【0016】

センサ出力のみを出力する撮像装置ではロジック回路の消費電力がごくわずかで、そのほとんどがアナログ回路なので、消費電力は 80 % 程度にとどまるが、大規模なデジタル信号処理を搭載した撮像装置ではデジタル回路の消費電力が大きな割合を占めるので消費電力の減少はより大きなものとなる。

【0017】

また、上記実施例において、センサブロックと信号処理ブロックの電源電圧を同じにして、センサブロックでは昇圧回路によって信号処理ブロックの電源電圧よりも高い振幅もしくはハイレベルを持つクロック信号をゲート電極 15 等に印加してもよい。

【0018】

また、上記に説明した実施例において示した図 2 のような埋め込み型のフォト

ダイオードを有する画素を持つ撮像装置の場合に、本発明は従来のものと比べて特に S/N 比の向上、消費電力の低減等の効果を有するが、画素の構成はこれに限るものではなく、光信号を電荷に変換して出力できる機能を有する他の画素構造のものでもよい。つまり、センサブロックで使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルを、信号処理ブロックの電源電圧よりも高くすることにより、従来のものと比べダイナミックレンジの拡大を行うとともに、ノイズを低減し、さらに消費電力の低減をも図ることが可能となる。

(第2実施例)

本実施例では、センサブロック 1 の電源電圧を 6.5 V とし、信号処理ブロック 2 のアンプ部 2 a は 5 V、信号処理ブロック 2 の A/D 変換部 2 b 及び信号処理部 2 c には 3.3 V を供給した。

(第3実施例)

センサブロック 1 の電源電圧を 6.5 V、信号処理ブロック 2 の電源電圧を 3.3 V とした。本実施例では、センサブロック 1 と信号処理ブロック 2 との間に電源電圧に差があるため、図 4 に示すように、水平走査部 1 c からの信号をレベルシフトするレベルシフト回路 1 d を設け、レベルシフト回路 1 d の出力をアンプ部 2 a に接続した。なお、レベルシフト回路は必ずしもセンサブロック 1 内に設ける必要はなく、センサブロック 1 と信号処理ブロック 2 との間又は信号処理ブロック 2 内に設けてもよい。ただし、電源電圧が高く入力レンジ、出力レンジが広いセンサブロックに入っている方が設計の自由度が高い。

【0019】

レベルシフト回路としては、簡単な構成例として、例えば図 9 に示すように MOS トランジスタと定電流源とで構成されるソースフォロア回路で構成することができる。

(第4実施例)

実施例 2 および実施例 3 では、センサブロック全体に電源電圧 6.5 V を供給したが、本実施例では図 2 に示すセンサブロックの画素部のリセット信号線と行選択信号線のみが高い電圧 6.5 V を供給し、センサブロックのその他の構成部材には電源電圧 5.0 V を供給した。本実施例では選択用トランジスタ SEL と

リセット用トランジスタRESのゲートに高電圧6.5Vを印加することでダイナミックレンジを拡大することができる。なお、図10の画素構成でも同様な効果を得ることができる。

【0020】

センサブロックの読み出し回路が例えば図10に示すようなソースフォロア回路で構成される場合、センサのダイナミックレンジを決定する一つの要因にソースフォロア回路の上限がある。この上限は一般に電源電圧V_{dd}となるが、選択用トランジスタSELのゲートに同じ電圧V_{dd}が印加される場合、電源電圧V_{dd}から更に選択用トランジスタSELの閾値電圧分下がった電圧になる。選択用トランジスタSELのゲート電圧に電源電圧V_{dd}よりも高い電圧を印加することで、ソースフォロア回路の上限は電源電圧V_{dd}まで引き上げることができる。このため、本実施例では、選択用トランジスタSELのゲートに接続される、センサブロックの画素部の行選択信号線に電圧6.5Vを供給した。

【0021】

またダイナミックレンジを抑制するもう一つの要因にリセット電圧の上限がある。ソースフォロア回路の入力レンジは、リセット電圧からGNDまでとなる。従って、リセット電圧を上げることでダイナミックレンジを広げることができる。選択用トランジスタSELと同様にリセット電圧と同じ電圧がリセット用トランジスタRESのゲートに印加された場合、リセット電圧はリセット電源から閾値電圧分低い電圧でしかリセットすることができない。これを改善するには、リセット用トランジスタRESのゲート電圧に充分高い電圧を入力することで、リセット電圧とほぼ等しい電圧でリセットすることができる。このため、本実施例では、リセット用トランジスタRESのゲートに接続される、センサブロックの画素部のリセット信号線に電圧6.5Vを供給した。

(第5実施例)

実施例3において、センサブロックの電源電圧を6.5Vとし、信号処理ブロックの電源電圧を3.3Vとしたが、この場合センサブロックに用いられるMOSトランジスタの耐圧をあげるために、信号処理ブロックに用いられるMOSトランジスタよりも、MOSトランジスタのゲート酸化膜厚を厚く又はウエル濃度

を低下させた。なお、ゲート酸化膜厚とウェル濃度との両方を制御することも可能である。ゲート酸化膜厚が厚いセンサブロックに用いられるMOSトランジスタの閾値電圧が信号処理ブロックに用いられるMOSトランジスタの閾値電圧に比し高くなる。

【0022】

具体的には、センサブロックに用いられるMOSトランジスタの酸化膜厚を20nm、信号処理ブロックに用いられるMOSトランジスタの酸化膜厚を8nmとすることで、センサブロックに用いられるMOSトランジスタの耐圧をあげた。

【0023】

また、センサブロックに用いられるMOSトランジスタのウェル濃度を $4 \times 10^{16} / \text{cm}^3$ 、信号処理ブロックに用いられるMOSトランジスタのウェル濃度を $8 \times 10^{16} / \text{cm}^3$ とすることで、同様にセンサブロックに用いられるMOSトランジスタの耐圧をあげることができた。

【0024】

なお、本発明に係わるセンサブロック、信号処理ブロックの構成は上述した各実施例のものに特に限定されるものでない。

【0025】

例えば、信号処理ブロックの構成は図5に示すように、アンプ部2aのみから構成されるようにしてもよく、センサブロックは以下に説明するように、ノイズ信号を読み出して、センサ信号に含まれるノイズ成分を減算処理する手段を設けてもよい。

【0026】

図6は各画素からのセンサ信号からノイズ成分を除去する回路構成を示すものである。図6に示す一画素の構成は図2に示したものと同一である。

【0027】

図6に示すように、複数の画素が接続された垂直出力線には、ノイズ信号転送用のMOSトランジスタMN、およびセンサ信号転送用のMOSトランジスタMSが接続され、ノイズ信号、センサ信号をそれぞれ蓄積容量CN、CSに蓄積するよ

うになっている。蓄積容量CN、CSに蓄積されたノイズ信号、センサ信号は減算器Aにより差分処理されてノイズ成分が除去されたセンサ信号が出力される。なお、画素がマトリクス状に配されたエリアセンサでは、MOSトランジスタMN、MS、蓄積容量CN、CSは各垂直出力線ごとに設けられ、水平走査部により一行分の画素のそれぞれのノイズ信号、センサ信号を各垂直出力線ごとに順次減算器Aに転送することで差分処理を行っていく。

【0028】

なお、 ϕ TX、 ϕ RES、 ϕ SEL、 ϕ N、 ϕ Sはそれぞれ、転送用MOSトランジスタTXを制御するパルス信号、リセット用MOSトランジスタRESを制御するパルス信号、選択用MOSトランジスタSELを制御するパルス信号、ノイズ信号転送用MOSトランジスタMNを制御するパルス信号、センサ信号転送用MOSトランジスタMSを制御するパルス信号である。

【0029】

図7は図6の回路の動作を説明するタイミングチャートである。まず、 ϕ RESをハイレベルとして、フローティングディフュージョン領域(FD)をリセットし、その後 ϕ Nをハイレベルとしてノイズ信号を蓄積容量CNに転送する。次に ϕ TXをハイレベルとして、フローティングディフュージョン領域にフォトダイオードPDから信号電荷を転送し、 ϕ Sをハイレベルとして、センサ信号(ノイズ成分を含む)を蓄積容量CSに転送する。こうして、蓄積容量CN、CSに蓄積されたノイズ信号、センサ信号を減算器Aにより差分処理し、ノイズ成分が除去されたセンサ信号を出力する。

【0030】

図8は本発明の撮像装置を用いたビデオカメラ装置を示すブロック図である。

【0031】

図8において、101はレンズ系であり、102は絞り、103、105、107はモータ、104はモータ103を制御する変倍レンズ駆動手段、106はモータ105を制御して絞り102を駆動する絞り機構駆動手段、108はモータ107を制御するフォーカスコンペレンス駆動手段である。また、109はレンズ系101から入射した光信号を光電変換するための撮像素子であり、本実施

例のセンサブロックが用いられる。110はCDS/AGC（相関二重サンプリング回路／オートゲインコントロール）、111はAD変換器である。

【0032】

また、112はカメラ信号処理回路であり本実施例における信号処理部2cであり、112aはY/C分離回路、112bは輝度信号処理回路、112cは色信号処理回路、112dは色抑圧回路、112eはデジタル出力変換回路である。輝度信号および色信号はマイクロコンピュータ115に入力され、マイクロコンピュータ115はこの信号に基づいて、変倍レンズ駆動手段104、絞り機構駆動手段106、フォーカスコンペレンズ駆動手段108を制御する。

【0033】

カメラ信号処理回路112からの出力はデジタルデコーダ、DA変換器113を通してモニター手段114に送られ画像表示され、またVTRに送られる。

【0034】

また本発明はエリアセンサに限定されず、ラインセンサにも用いることができる。ラインセンサの場合は、画素において選択スイッチが省かれることを除いて画素構成は同じである。

【0035】

【発明の効果】

以上説明したように、本発明によればダイナミックレンジが拡大するとともに、ノイズを低減することができ、また消費電力を低減することができる。

【図面の簡単な説明】

【図1】

本発明の撮像装置の第1実施例の概略的な構成を示すブロック図である。

【図2】

画素部の一面素の構成を示す概略的構成図である。

【図3】

埋め込み型フォトダイオードの概略的構成を示す断面図である。

【図4】

本発明の撮像装置の第3実施例の概略的な構成を示すブロック図である。

【図 5】

本発明の撮像装置の他の実施例の概略的な構成を示すブロック図である。

【図 6】

各画素からのセンサ信号からノイズ成分を除去する回路の回路構成図である。

【図 7】

図 6 の回路の動作を説明するタイミングチャートである。

【図 8】

本発明の撮像装置を用いたビデオカメラ装置を示すブロック図である。

【図 9】

レベルシフト回路の一例を示す構成図である。

【図 10】

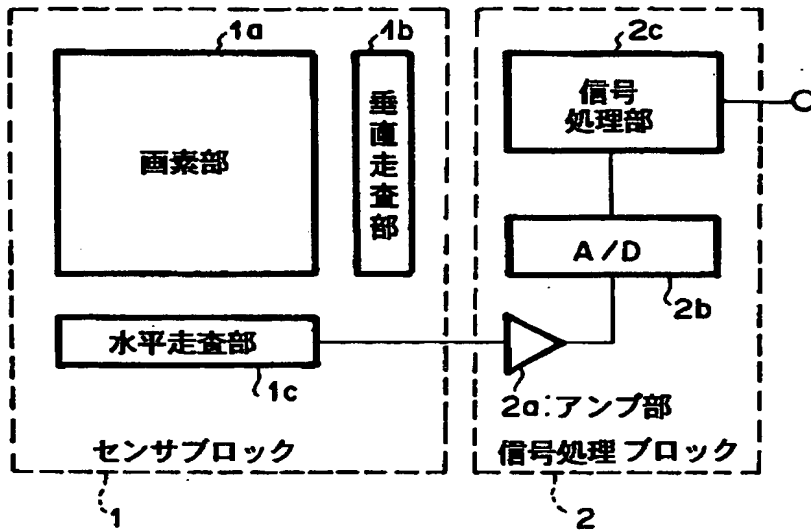
画素部の一画素の他の構成を示す概略的構成図である。

【符号の説明】

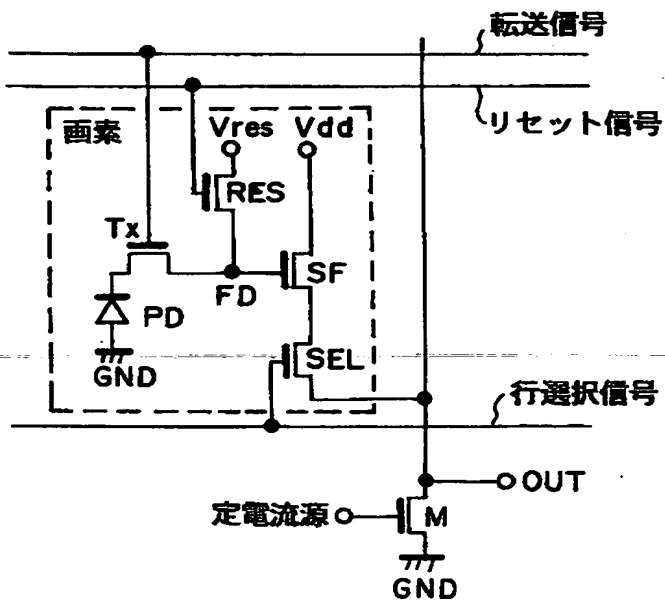
- 1 センサブロック
- 2 信号処理ブロック
- 1 a 画素部
- 1 b 垂直走査部
- 1 c 水平走査部
- 1 d レベルシフト回路
- 2 a アンプ部
- 2 b A/D (アナログ/デジタル) 変換回路
- 2 c 信号処理部

【書類名】 図面

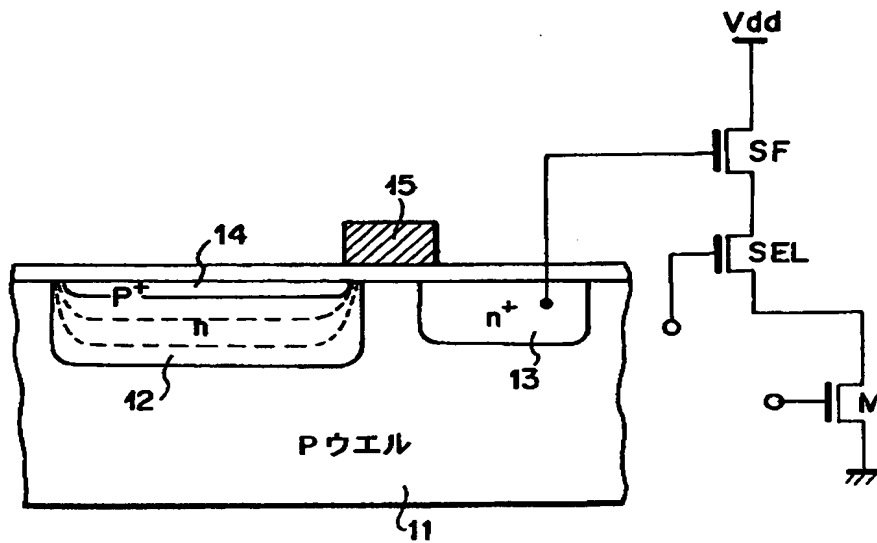
【図 1】



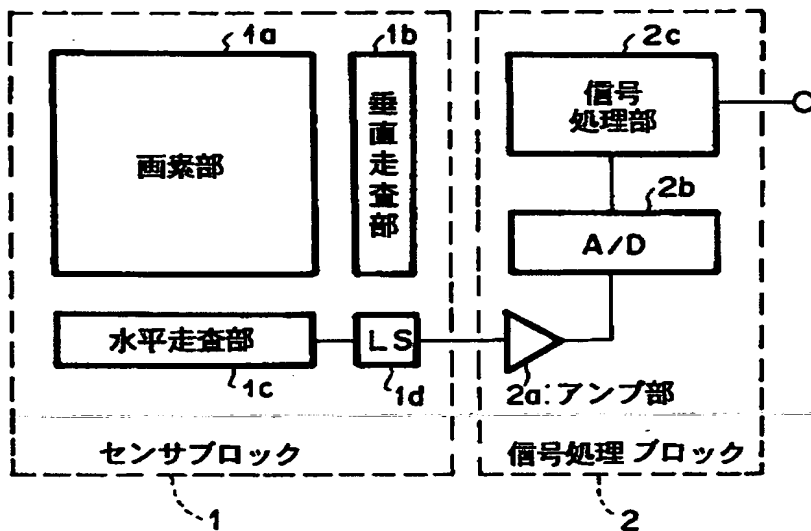
【図 2】



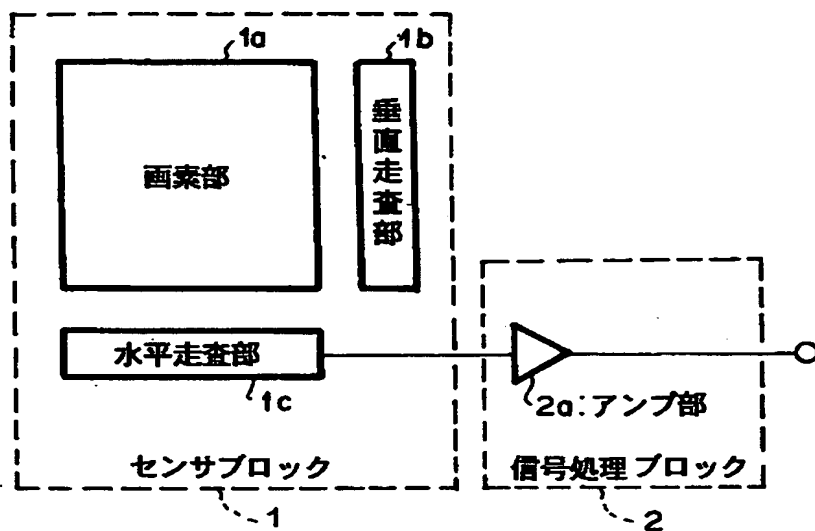
【図3】



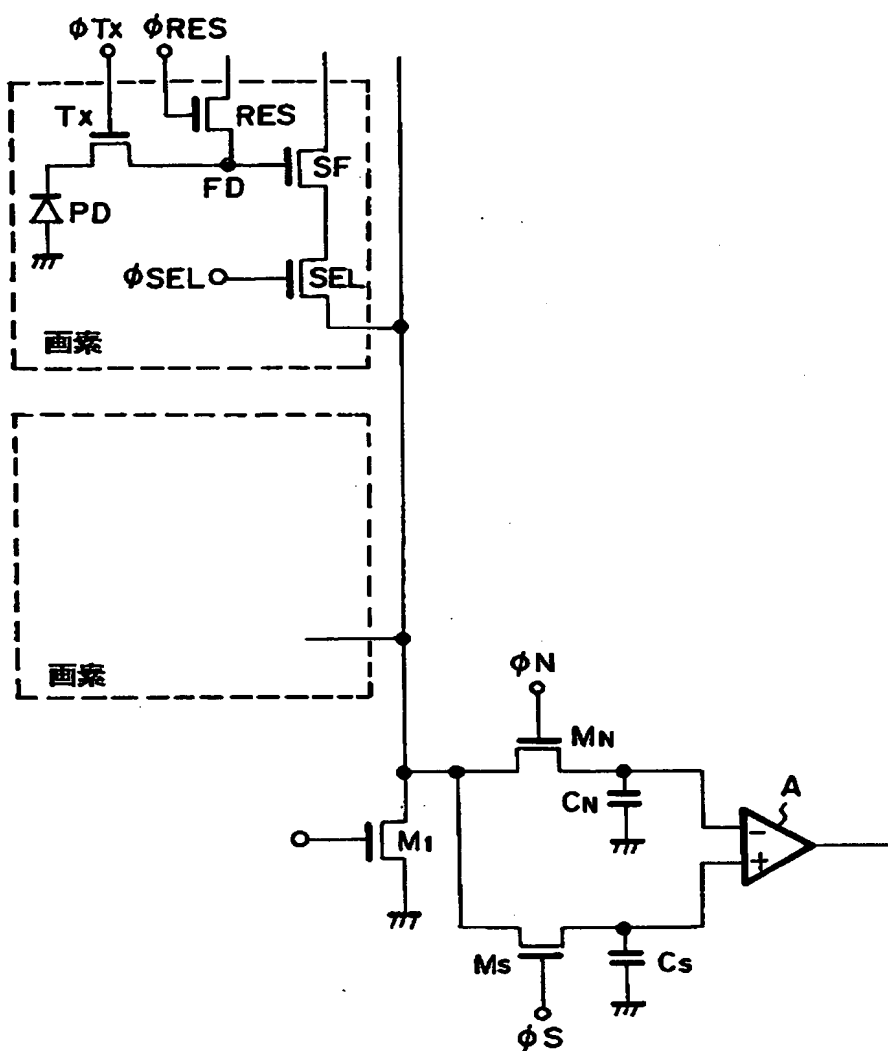
【図4】



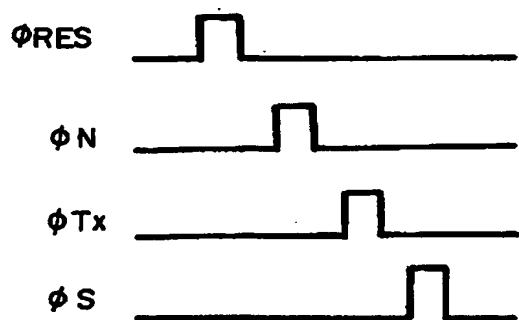
【図 5】



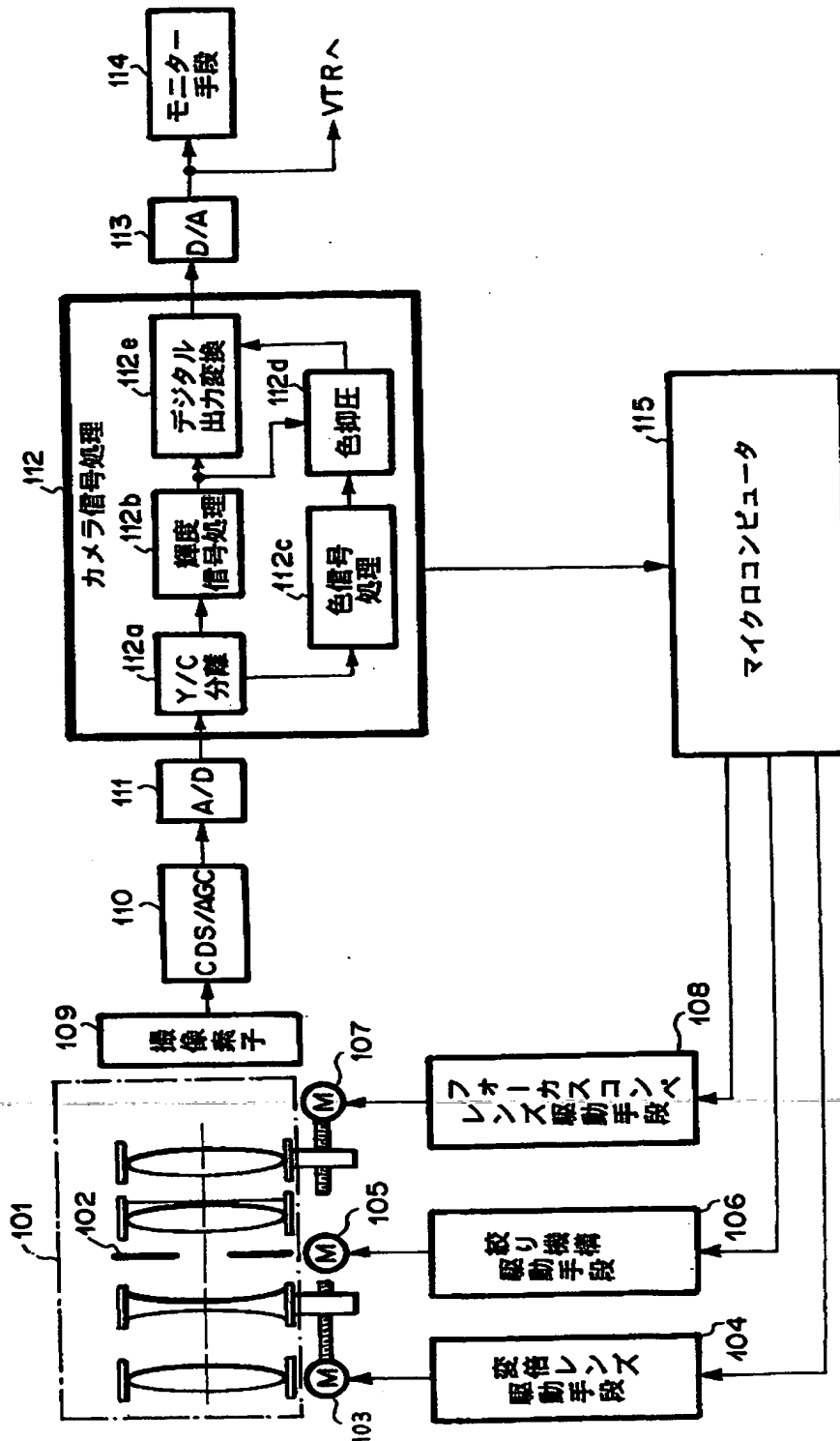
【図 6】



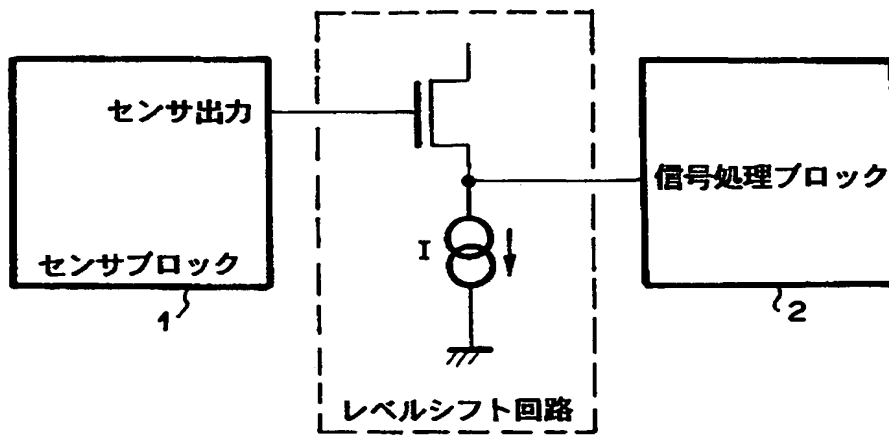
【図 7】



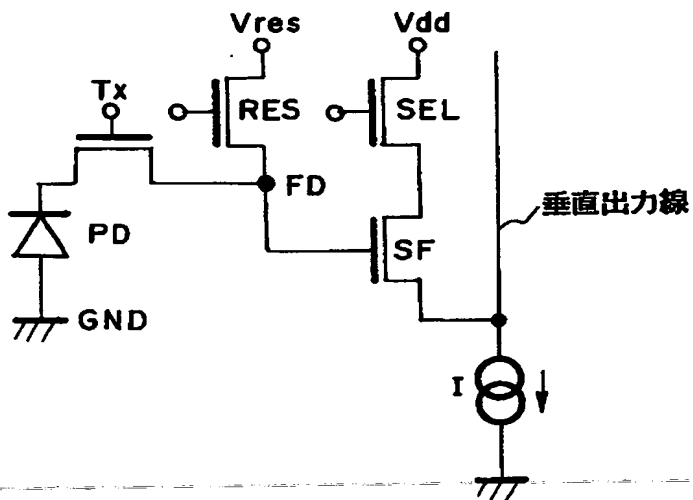
【図 8】



【図 9】



【図 10】



【書類名】 要約書

【要約】

【課題】 ノイズを低減し、消費電力を低減する。

【解決手段】 受光素子を画素毎に有する複数の画素からなる画素部 1 a、画素部の画素を選択するための走査部 1 b、1 c を有するセンサブロック 1 と、センサブロック 1 から出力された信号を処理するための信号処理ブロック 2 とを有する撮像装置において、センサブロック 1 で使用される電源電圧もしくはクロック信号の振幅もしくはハイレベルが信号処理ブロック 2 の電源電圧より高い。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】
【識別番号】 000001007
【住所又は居所】 東京都大田区下丸子3丁目30番2号
【氏名又は名称】 キヤノン株式会社
【代理人】 申請人
【識別番号】 100065385
【住所又は居所】 東京都港区浜松町1丁目18番14号 SVAX浜
松町ビル
【氏名又は名称】 山下 穰平

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都大田区下丸子3丁目30番2号
氏 名 キヤノン株式会社